

119205

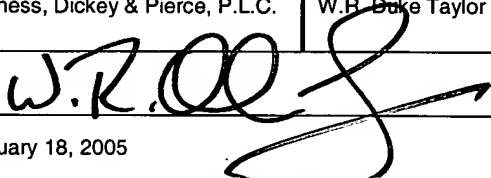
2115
JPR

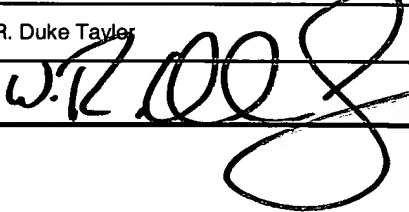
HDP/SB/21 based on PTO/SB/21 (08-00)

Please type a plus sign (+) inside this box → ☐

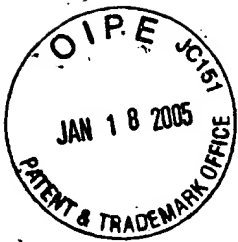
PTO TRANSMITTAL FORM (to be used for correspondence after initial filing) JAN 18 2005 PATENT & TRADEMARK OFFICE	Application Number	09/891,651
	Filing Date	June 25, 2001
	First Named Inventor	Masahiro Nagata
	Group Art Unit	2115
	Examiner Name	
Total Number of Pages in This Submission		Attorney Docket Number 6340-000018

ENCLOSURES (check all that apply)		
<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Response <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/ Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Assignment Papers (for an Application) <input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below): Transmittal of Priority Document Certified copies of Japanese Application Nos. 2000-191025 and 2000-202833
Remarks		The Commissioner is hereby authorized to charge any additional fees that may be required under 37 CFR 1.16 or 1.17 to Deposit Account No. 08-0750. A duplicate copy of this sheet is enclosed.

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT			
Firm or Individual name	Harness, Dickey & Pierce, P.L.C.	Attorney Name W.R. Duke Taylor	Reg. No. 31,306
Signature			
Date	January 18, 2005		

CERTIFICATE OF MAILING/TRANSMISSION			
I hereby certify that this correspondence is being deposited with the United States Postal Service as express mail in an envelope addressed to: Director of the U.S. Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450, or facsimile transmitted to the U.S. Patent and Trademark Office on the date indicated below.			
Typed or printed name	W.R. Duke Taylor	Express Mail Label No.	EV 570 163 137 US (1/18/2005)
Signature		Date	January 18, 2005

EV 570 163 137 US



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

PATENT

Attorney Docket No. 6340-000018

Application No.: 09/891,651
Filing Date: June 25, 2001
Applicant: Masahiro Nagata
Group Art Unit: 2115
Examiner: Dennis M. Butler
Title: PROGRAM LOGIC DEVICE FOR SYNCHRONOUS OPERATION
WITH MULTIPLE CLOCK SIGNALS

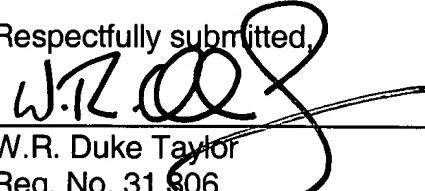
Director of the United States Patent and Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT

Sir:

Pursuant to the provisions of 35 U.S.C. §119, enclosed herewith are certified copies of Japanese Application Nos. 2000-191025, filed June 26, 2000 and 2000-202833, filed July 4, 2000 as identified in the Declaration of this application. In support of Applicants' priority claim, please enter these documents into the file.

Respectfully submitted,



W.R. Duke Taylor
Reg. No. 31,806
Attorney for Applicants

HARNESS, DICKEY & PIERCE, P.L.C.
P.O. Box 828
Bloomfield Hills, MI 48303
(248) 641-1600

Date: January 18, 2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2000年 6月26日

出 願 番 号

Application Number:

特願2000-191025

出 願 人

Applicant(s):

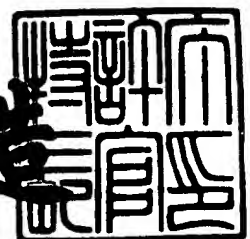
株式会社日本コンピュータ

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月22日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3059562

【書類名】 特許願

【整理番号】 KKKP0389

【提出日】 平成12年 6月26日

【あて先】 特許庁長官 近藤 隆彦 殿

【発明者】

【住所又は居所】 静岡県浜松市鴨江3丁目46番11号 株式会社日本コンピュータ内

【氏名】 永田 真啓

【特許出願人】

【識別番号】 598018409

【氏名又は名称】 株式会社日本コンピュータ

【代理人】

【識別番号】 100095614

【弁理士】

【氏名又は名称】 越川 隆夫

【電話番号】 053-458-3412

【手数料の表示】

【予納台帳番号】 018511

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9910779

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 プログラマブルロジック装置

【特許請求の範囲】

【請求項 1】

基準クロックを分周した高速クロックにより動作する制御用プロセッサと、該制御用プロセッサに信号情報を入力するための入力手段と、該制御用プロセッサの信号情報を信号として出力するための出力手段とを備え、該制御用プロセッサが該高速クロックにより複数の処理を実行している間に、該基準クロックの 1 サイクル内に、該入力手段が該基準クロックに同期して取り込んだ信号の値により制御を決定し、該制御により該出力手段の値を変更することを特徴とするプログラマブルロジック装置。

【請求項 2】

基準クロックを分周した高速クロックにより動作する制御用プロセッサと、該制御用プロセッサに信号情報を入力するための入力手段と、該制御用プロセッサの信号情報を信号として出力するための出力手段とを備え、該制御用プロセッサが該高速クロックにより複数の処理を実行している間に、該基準クロックの所定の複数サイクル内に、該入力手段が該基準クロックに同期して取り込んだ信号の値により制御を決定し、該制御により該出力手段の値を変更することを特徴とするプログラマブルロジック装置。

【請求項 3】

前記基準クロックに同期して前記出力手段の値を変更することを特徴とする請求項 1 又は請求項 2 記載のプログラマブルロジック装置。

【請求項 4】

前記制御用プロセッサが前記基準クロックに同期するための遅延機能を有し、該基準クロックの所定の遷移を待って次の制御を行うことを特徴とする請求項 1 ～請求項 3 記載のプログラマブルロジック装置。

【請求項 5】

前記入力手段が前記基準クロックに同期して取り込んだ信号の値により、前記制御用プロセッサの制御を決定することを特徴とする請求項 1 ～請求項 4 記載の

プログラマブルロジック装置。

【請求項 6】

あらかじめ所定の比較値を記憶しておくための比較値記憶手段と、該比較値と前記入力手段が前記基準クロックに同期して取り込んだ信号の値又は該取り込んだ信号の値を演算した結果の値とを比較する比較器とを有する比較手段を備え、該比較器の比較結果により、前記制御用プロセッサの制御内容を決定することを特徴とする請求項 1～請求項 5 記載のプログラマブルロジック装置。

【請求項 7】

前記入力手段が前記基準クロックに同期して取り込んだ信号の値が所定の値になるまで待つて、該所定の値により定めた制御を行うことを特徴とする請求項 1～請求項 4 記載のプログラマブルロジック装置。

【請求項 8】

前記基準クロックのサイクル数が待ち状態以降所定個数以上に達したことにより待ち状態を解除することを特徴とする請求項 7 記載のプログラマブルロジック装置。

【請求項 9】

前記制御用プロセッサが自らの制御で待ち状態を解除することを特徴とする請求項 7 記載のプログラマブルロジック装置。

【請求項 10】

前記入力手段が取り込んだ信号の値が所定の値になったことにより待ち状態を解除することを特徴とする請求項 7 記載のプログラマブルロジック装置。

【請求項 11】

前記入力手段が前記基準クロックに同期して取り込んだ信号の値により、前記制御用プロセッサに対し、該基準クロックに同期した割り込みを発生することを特徴とする請求項 1～請求項 4 記載のプログラマブルロジック装置。

【請求項 12】

あらかじめ所定の比較値を記憶しておくための比較値記憶手段と、該比較値と前記入力手段が前記基準クロックに同期して取り込んだ信号の値とを比較する比較器とを有する比較手段を備え、該比較器の比較結果により、前記制御用プロセ

ッサに対し、該基準クロックに同期した割り込みを発生することを特徴とする請求項1～請求項4記載のプログラマブルロジック装置。

【請求項13】

前記比較器の比較結果により、前記制御用プロセッサへの割り込み先を変えることを特徴とする請求項11又は請求項12記載のプログラマブルロジック装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プログラムによって外部の信号を入出力可能なプログラマブルロジック装置に関する。

【0002】

【従来の技術】

従来より、制御用プロセッサとしてのマイクロプロセッサが各種電子装置に組み込まれ、装置全体の制御を行うための組み込み制御装置として多く利用されている。マイクロプロセッサは、装置内部でプログラマブルなシーケンスを実行している。

【0003】

こうしたマイクロプロセッサには、P I O (peripheral input-output) と呼ばれる入出力端子を持っている。マイクロプロセッサがP I Oを制御するためのレジスタやメモリマップの変更を行うことで、外部と接続された入出力ピンから、デジタル情報を取り込んだり出力したりすることができる。即ち、マイクロプロセッサはP I Oを通して外部の信号状態を取り込んだり、外部に信号及び信号パターンを出力することができる。また、P I Oは、マイクロプロセッサの制御により、プログラマブルに入力端子又は出力端子に変更することができる。

【0004】

マイクロプロセッサは、そのプロセッサのために作られたクロックを基に動作している。それに対し、P I O等の制御すべき入出力ピンの先で発生する事象は、マイクロプロセッサのクロックには同期していない。

【0005】

【発明が解決しようとする課題】

しかしながら、マイクロプロセッサにおけるP I Oの入出力制御には、入出力ピンに接続されている外部の論理を決定する時間単位の基準クロックと同期をとるための機構が用意されていない。このため、マイクロプロセッサの制御の分岐は、マイクロプロセッサの処理結果に基づく内部条件で発生しており基準クロックに同期することができず、入出力ピンを介した基準クロックに同期した外部の論理構成との情報のやりとりを正しく行うことは困難である。

【0006】

また、割り込みにより入力ピンの情報をプログラムの動作に反映させることはできるものの、割り込みジャンプ機能は、割り込み要求を受け付ける入力信号の変化に対して非同期で反応し、命令実行アドレスを変更ものである。このため、該クロックとは非同期であり、割り込みタイミングを用いて、基準クロックに同期した外部の論理構成との情報のやりとりを正しく行うことは困難である。

また、複合的な条件による割り込みが困難で、入力させる事ができたとしても、割り込み発生後原因特定作業が必要であり、プログラムの処理が煩雑で遅延の原因になる。

【0007】

本発明は、このような事情に鑑みてなされたもので、基準クロックに同期して動作する制御用プロセッサに接続された論理構成との情報のやりとりを正しく行うことができるプログラマブルロジック装置を提供することにある。

【0008】

【課題を解決するための手段】

請求項1記載のプログラマブルロジック装置は、基準クロックを分周した高速クロックにより動作する制御用プロセッサと、制御用プロセッサに信号情報を入力するための入力手段と、制御用プロセッサの信号情報を信号として出力するための出力手段とを備え、制御用プロセッサが高速クロックにより複数の処理を実行している間に、基準クロックの1サイクル内に、入力手段が基準クロックに同期して取り込んだ信号の値により制御を決定し、制御により出力手段の値を変更

することを特徴とする。

【 0 0 0 9 】

請求項 2 記載のプログラマブルロジック装置は、基準クロックを分周した高速クロックにより動作する制御用プロセッサと、制御用プロセッサに信号情報を入力するための入力手段と、制御用プロセッサの信号情報を信号として出力するための出力手段とを備え、制御用プロセッサが高速クロックにより複数の処理を実行している間に、基準クロックの所定の複数サイクル内に、入力手段が基準クロックに同期して取り込んだ信号の値により制御を決定し、制御により出力手段の値を変更することを特徴とする。

【 0 0 1 0 】

請求項 3 記載のプログラマブルロジック装置は、基準クロックに同期して出力手段の値を変更することを特徴とする。

【 0 0 1 1 】

請求項 4 記載のプログラマブルロジック装置は、制御用プロセッサが基準クロックに同期するための遅延機能を有し、基準クロックの所定の遷移を待って次の制御を行うことを特徴とする。

【 0 0 1 2 】

請求項 5 記載のプログラマブルロジック装置は、入力手段が基準クロックに同期して取り込んだ信号の値により、制御用プロセッサの制御を決定することを特徴とする。尚、請求項 5 に示す制御とは、請求項 1 示す出力手段の値を変更するための制御とは異なるものとする。

【 0 0 1 3 】

請求項 6 記載のプログラマブルロジック装置は、あらかじめ所定の比較値を記憶しておくための比較値記憶手段と、比較値と入力手段が基準クロックに同期して取り込んだ信号の値又は該取り込んだ信号の値を演算した結果の値とを比較する比較器とを有する比較手段を備え、比較器の比較結果により、制御用プロセッサの制御内容を決定することを特徴とする。

【 0 0 1 4 】

請求項 7 記載のプログラマブルロジック装置は、入力手段が基準クロックに同

期して取り込んだ信号の値が所定の値になるまで待つて、所定の値により定めた制御を行うことを特徴とする。

【 0 0 1 5 】

請求項 8 記載のプログラマブルロジック装置は、基準クロックのサイクル数が待ち状態以降所定個数以上に達したことにより待ち状態を解除することを特徴とする。

【 0 0 1 6 】

請求項 9 記載のプログラマブルロジック装置は、制御用プロセッサが自らの制御で待ち状態を解除することを特徴とする。

【 0 0 1 7 】

請求項 1 0 記載のプログラマブルロジック装置は、入力手段が取り込んだ信号の値が所定の値になったことにより待ち状態を解除することを特徴とする。

【 0 0 1 8 】

請求項 1 1 記載のプログラマブルロジック装置は、入力手段が基準クロックに同期して取り込んだ信号の値により、制御用プロセッサに対し、基準クロックに同期した割り込みを発生することを特徴とする。

【 0 0 1 9 】

請求項 1 2 記載のプログラマブルロジック装置は、あらかじめ所定の比較値を記憶しておくための比較値記憶手段と、比較値と入力手段が基準クロックに同期して取り込んだ信号の値とを比較する比較器とを有する比較手段を備え、比較器の比較結果により、制御用プロセッサに対し、基準クロックに同期した割り込みを発生することを特徴とする。

【 0 0 2 0 】

請求項 1 3 記載のプログラマブルロジック装置は、比較器の比較結果により、制御用プロセッサへの割り込み先を変えることを特徴とする。

【 0 0 2 1 】

【発明の実施の形態】

以下、本発明の形態について図面を参照しながら具体的に説明する。図 1 ～図 6 は第 1 の実施の形態を示す図面であり、図 7 は第 2 の実施の形態を示す図面で

あり、図8及び図9は第3の実施の形態を示す図面であり、図10は第4の実施の形態を示す図面である。

【0022】

(実施の形態1)

図1は本発明に係わるプログラマブルロジック装置の第1の実施の形態を示す構成図である。図2は同クロック図、図3は同要部フローチャート、図4は同タイミング図である。図5は同第1の実施の形態の別の例を示す要部フローチャート、図6は同第1の実施の形態の別の例を示すタイミング図である。

【0023】

図1～図4において、プロセッサ10は、各種電子装置の制御を行う制御用プロセッサとしてのマイクロプロセッサである。プロセッサ10は、ソフトウェアによるプログラマブルなシーケンス（制御）を実行する。プロセッサ10が具体的に実行するプログラム（制御の具体的内容の記述）は、プロセッサ10内部に設けられた記憶手段又はバス11を介して接続されたメモリ等の記憶手段（図示せず）に格納されており、プロセッサ10はそれら記憶手段から随時プログラムを読み出して制御を実行していく。

【0024】

P I O 2 0 は、peripheral input-outputの略であり、プロセッサ10の外部の論理構成との信号（デジタル情報）をやりとりするための入力手段であり出力手段である。ここで言う論理構成とは、P I O 2 0 の外部に接続可能な電子回路を一般的に指しており、P I O 2 0 との間で電子的に信号のやりとりができれば、その形態に限りがあるものではない。論理構成の具体例としては、各種論理デバイス及び論理装置、各種パラレルインターフェース及びパラレルバス、各種シリアルインターフェース及びシリアルバス、各種デジタル表示機器等がある。各種論理デバイス及び論理装置の例としては、A S I C、外部マイクロプロセッサ、F P G A、P L D等がある。各種パラレルインターフェース及びパラレルバスの例としては、P C Iバス、S C S Iバス、A T Aバス、P Cカードバス、I E E E 1 2 8 4等がある。各種シリアルインターフェース及びシリアルバスの例としては、I 2 Cバス、M U S Eバス、3 w i r e - s e r i a l、4 w i r e -

serial 等がある。各種デジタル表示機器の例としては、LCD、PDP 等がある。

【0025】

PIO20の構成は、ON/OFF可能な出力のためのバッファ20a、入力のためのバッファ20b、入出力端子であるPIOピン24により構成されている。プロセッサ10は、PIO20とはバス11を介して接続されており、PIO20と情報をやりとりは、あらかじめプロセッサ10のメモリマップ上のアドレス領域に確保されたPIO方向レジスタ21、PIO出力レジスタ22、PIO入力レジスタ23を介して行う。PIO入力レジスタ23は、バッファ20bの出力にマッピングされており、バッファ20bの状態を反映している。PIO出力レジスタ22は、バッファ20aの入力にマッピングされ、PIO方向レジスタ21は、バッファ20aのON/OFF制御用の端子にマッピングされている。

【0026】

プロセッサ10は、PIO10を介して信号を読みとる場合は、メモリ上の情報を読み出す命令によりPIO入力レジスタ23の内容を読み出すことで、入力された信号を読むことができる。PIO入力レジスタ23には、基準クロックSCLKが接続されており、PIO入力レジスタ23は、基準クロックSCLKに同期して確定される。本実施例においては、基準クロックSCLKの立ち上がりで確定されるものとするがこれに限られるものではない。プロセッサ10が、PIO10を介して信号を出力する場合には、まず、メモリ上に情報を書き込む命令により、PIO方向レジスタ21にバッファ20aをONするための情報を書き込む。次に、メモリ上に情報を書き込む命令により、PIO出力レジスタ22に出力する情報を書き込み、PIOピン24に所定の出力を行わせる。尚、PIOピン24、バッファ20a、20bは複数用意され、ビット毎又はバイト毎に入出力可能である。

【0027】

尚、本実施例においては、いずれの実施の形態においてもPIO10を用いた場合について記載している。しかしながらプロセッサ10が情報のやりとりをす

るために使用する入出力インターフェースとしてはP I O 2 0に限られるものではない。他の形態としては、P I Oピン24のように入出力の両方を兼ねた端子ではなく入力又は出力を単独で行うピンを備えた入出力インターフェースであってもいいし、入出力インターフェースを用いることなく、プロセッサ10に設けられた入出力ピンを用いるものであってもよい。

【0028】

プロセッサ10の動作するためのクロックは、P I O入力レジスタ23に接続され、また外部の論理構成の動作の基準となっている基準クロックS C L Kを元に生成された高速クロックH C L Kが使用される。高速クロックH C L Kは、図2に示すように、本実施例においては基準クロックS C L Kを6分周している。分周は、プロセッサ10内部で行う他に、プロセッサ10の外部でハード的に行ってもよい。

【0029】

次に、実施の形態1におけるプログラマブルロジック装置の動作を説明する。尚、プログラマブルロジック装置とは、プログラムによって外部の信号を入出力可能な装置全体を指しており、本実施例の場合はプロセッサ10、P I O 2 0、バス11等により構成されている。また、プログラマブルロジック装置をステートマシンとして見ることも可能である。ここでいうステートマシンとは、論理回路により構成される装置（システム）における制御回路全般に用いられるもので、一連の定義されたシーケンス（制御）を実行するための回路である。

【0030】

まず、プロセッサ10は、図4に示すように、基準クロックS C L Kに同期して1サイクル目の命令実行C O M M A N Dを行い、基準クロックS C L Kに同期してP I O 2 0のデータの取り込みを行う。これによりP I O入力I N P U Tがプロセッサ10の内部で確定される（図3におけるS 1 0 1）。次に、プロセッサ10は、2サイクル目の動作として、確定されたP I O入力I N P U Tの値によりあらかじめ定められた演算を選択し実行する（図3におけるS 1 0 2）。次に、プロセッサ10は、3サイクル目の動作として、演算結果を基にP I O出力O U T P U Tをセットし、P I Oピン24から、演算結果を出力させる（図3に

おける S 1 0 3)。この場合には、図 4 に示すように、P I O 出力 O U T P U T は、確定入力（基準クロック S C L K に同期）があってから、見かけ上のディレイを伴って確定出力となる。

【 0 0 3 1 】

また、図 5 及び図 6 に示すように、P I O 出力 O U T P U T の確定出力を基準クロック S C L K に同期させることも可能である（図 5 における S 1 1 3）。本実施例においては、高速クロック H C L K を 6 分周することにより、基準クロック S C L K の 1 サイクルの中で、確定入力と確定出力を可能としている。しかしながら、外部の論理構成との関係で、基準クロック S C L K の 1 サイクル以内に確定出力を行うことが適切ではない場合も存在する。この場合は、任意に定めた数の基準クロック S C L K を待って、確定出力を行ってもよい。プロセッサ 1 0 は、確定出力のための演算を終えてしまえば、他の制御に移行することが可能である。

【 0 0 3 2 】

本実施の形態によれば、プロセッサ 1 0 が高速クロック H C L K により複数の処理を実行している間に、基準クロック S C L K の 1 サイクル内に、P I O 2 0 が基準クロック S C L K に同期して取り込んだ信号の値により制御を決定し、該制御により P I O 2 0 の出力の値を変更することができる。このため、基準クロック S C L K に同期した論理を確定させることができる。すなわち、基準クロック S C L K に同期して動作するプロセッサ 1 0 に接続された論理構成との情報のやりとりを正しく行うことができる。

【 0 0 3 3 】

また、基準クロック S C L K に同期して P I O 2 0 の出力の値を変更することから、基準クロック S C L K に同期して動作するプロセッサ 1 0 に接続された論理構成との情報のやりとりをより確実に行うことができる。

【 0 0 3 4 】

（実施の形態 2）

図 7 は、本発明に係わるプログラマブルロジック装置の第 2 の実施の形態を示す要部フローチャートである。

【0035】

プロセッサ10は、基準クロックSCLKに同期するための遅延機能を有し、基準クロックSCLKの所定の遷移を待って次の制御を行うことが可能な構成を有している。具体的な遅延機能としては、例えばプログラムにより遅延機能を達成する方法がある。図7のS202に示すような、基準クロックSCLKに同期した遅延分岐命令wait_clkをプログラムで実現させる。処理(1)S201を終了した後、次の基準クロックSCLKの立ち上がりが来るまで、遅延分岐命令wait_clkはループを繰り返し(S202)、立ち上がりが来たところで次の制御である処理(2)S203に移る。尚、遅延のためのループから抜けるための基準クロックSCLKの遷移は、立ち上がりだけに限られず、立ち下がりであってもいい。また、立ち上がり及び立ち下がりが何回かあった後に、基準クロックSCLKの遷移に同期して、ループを抜けてもよい。

【0036】

尚、ループ中にプロセッサ10は真に待機状態であったもしいし、他の制御を遅延の裏側で平行して行ってもよい。処理(2)S203で実行される制御は、ループに入る以前又はループ内で行われた制御とは異なる制御が選択され実行される場合が標準的である。

【0037】

本実施の形態2によれば、プロセッサ10が基準クロックSCLKに同期するための遅延機能を有し、基準クロックSCLKの遷移を待って次の制御を行うように構成することにより、基準クロックSCLKに同期した制御ができる。また、PIO20が基準クロックSCLKに同期して取り込んだ信号の値により、プロセッサ10の制御内容を決定する。このため、基準クロックSCLKに同期して制御の分岐が可能である。

【0038】

(実施の形態3)

図8は本発明に係わるプログラマブルロジック装置の第3の実施の形態を示す構成図、図9は同要部フローチャートである。

【0039】

図 8 において、比較器 3 0 は P I O 入力レジスタ 2 3 を介して P I O 2 0 から入力された値と、あらかじめプロセッサ 1 0 により、比較値記憶手段である比較レジスタ 3 2 に格納された値を比較するための比較手段である。P I O 入力レジスタ 2 3 に確定入力された値は、比較のために条件選択レジスタ 3 1 に格納される。比較器 3 0 は P I O 2 0 により取り込まれた値を、条件選択レジスタ 3 1 を介して読むことになる。比較器 3 0 は、条件選択レジスタ 3 1 の値と比較レジスタ 3 2 の値とを比較して、その結果を同期条件フラグ 3 3 に格納する。条件選択レジスタ 3 1、比較レジスタ 3 2 及び同期条件フラグ 3 3 は、P I O 方向レジスタ 2 1 等のレジスタ同様に、あらかじめプロセッサ 1 0 のメモリマップ上のアドレス領域に確保されたおり、プロセッサ 1 0 はバス 1 1 を介してアクセスが可能である。

【 0 0 4 0 】

次に、本実施の形態 3 におけるプログラマブルロジック装置の動作を説明する。まず、図 9 に示すように、プロセッサ 1 0 は比較対象となる P I O ピン 2 4 を選択する (S 3 0 1) 。選択する P I O ピン 2 4 は、1 つであってもいいし複数であってもいい。すなわち、P I O ピン 2 4 の選択の種類により、ビット単位での比較も可能であるし、バイト若しくはそれ以上の長さの単位での比較が可能である。次に、比較の元の条件対象となる値を比較レジスタ 3 2 に書き込む (S 3 0 2) 。次に、選択した P I O ピン 2 4 のうち比較の対象となる P I O ピン 2 4 によりビットパターンを設定する。比較する P I O ピン 2 4 が一本の場合には、パターンとはならない。このパターンがマスクの役割をはたし、P I O ピン 2 4 から入力された値が比較対照の情報のみになって条件選択レジスタ 3 1 に格納される。P I O 入力レジスタ 2 3 を介していることから、条件選択レジスタ 3 1 には基準クロック S C L K に同期して値が格納される。尚、条件選択レジスタ 3 1 に格納される値は、P I O 入力レジスタ 2 3 から直接格納される場合に限られるものではなく、P I O 入力レジスタ 2 3 の値を元にプロセッサ 1 0 が演算を行い、演算の結果を条件選択レジスタ 3 1 に格納してもよい。

【 0 0 4 1 】

この状態でプロセッサ 1 0 は、処理 (1) S 3 0 4 の制御を行う。この状態で

プロセッサ 1 0 は、条件選択レジスタ 3 1 に格納されたビットパターンと比較レジスタ 3 2 とを比較した結果である同期条件フラグ 3 3 を読み、所望のビットパターンになった場合、C J _ C L K (S 3 0 5) のループを抜け、処理 (2) S 3 0 6 に制御を移行させる。条件選択レジスタ 3 1 に値が確定されるタイミングが基準クロック S C L K に同期しており、それにより比較器 3 0 が比較結果を出すことから、処理 (2) S 3 0 6 への移行は、基準クロック S C L K に同期したものとなる。

【 0 0 4 2 】

尚、同期条件フラグ 3 3 のフラグの形態は、ビットパタンが完全に位置した場合の一致フラグに限らず、大小によるキャリフラグ的なものであってもいいし、比較の方法により限定されるものではない。

【 0 0 4 3 】

また、同期条件フラグ 3 3 のセットされる値により、次に行う制御を変えることが可能である。すなわち、P I O 2 0 の基準クロック S C L K に同期した入力の値の具体的なパターンにより、基準クロック S C L K に同期して制御を切り替えることが可能である。

【 0 0 4 4 】

C J _ C L K (S 3 0 5) のループに一端入った後、いつまでたっても期待する同期条件フラグ 3 3 がセットされない場合には、フラグ待ち状態を続けることになってしまいます。これに対処し、エラー処理を高速に行うためにいくつかの方法が考えられる。第 1 は、プロセッサ 1 0 が自分自身のプログラムによる制御により、待ち状態を解除する方法である。具体的には、待ち状態になった後にプロセッサ 1 0 内部でカウンタをスタートさせ、カウントアップにより、待ち状態を解除する方法等が考えられる。

【 0 0 4 5 】

第 2 は、待ち状態になった後の基準クロック S C L K の個数をカウントしておき、所定の数に達した後に待ち状態を解除する方法である。

【 0 0 4 6 】

第 3 は、他のビットパターンが P I O 2 0 に入力された場合に、所定の数に達

した後に待ち状態を解除する方法である。いずれの場合においても、エラー処理の高速化に寄与するものである。また、第2及び第3の方法によれば、エラー処理の起点をハードにより発生させることができることから、処理が高速であると共に、プログラムの複雑化を回避し、プログラムの負担を軽減させることができる。

【 0 0 4 7 】

(実施の形態4)

図10は、本発明に係わるプログラマブルロジック装置の第4の実施の形態を示す構成図である。

【 0 0 4 8 】

図10において、条件割込先テーブル35には、比較器30による比較結果により選択される割込先の情報(割込ベクタ)が格納されている。条件割込先テーブル35に対して、比較器30から所定の割込を発生させるべき結果が送られて来た場合、条件割込先テーブル35はその結果に該当する割込ベクタを発生する。尚、割込ベクタの送り先はプロセッサ10であってもいいし、バス11上に接続された他のデバイスであっても構わない。比較器30から所定の割込を発生させるべき結果は、実施の形態3と同様に、ビットパターンが完全に位置した場合の一致フラグに限らず、大小によるキャリフラグ的なものであってもいいし、比較の方法により限定されるものではない。

【 0 0 4 9 】

本実施の形態4によれば、PIO20が基準クロックSCLKに同期して取り込んだ信号の値により、プロセッサ10に対し、基準クロックSCLKに同期した割り込みを発生する。このため、基準クロックSCLKに同期した割り込みのタイミングを用いて、基準クロックSCLKに同期した論理構成との情報のやりとりを正しく行うことができる。

【 0 0 5 0 】

また、PIO20が基準クロックSCLKに同期して取り込んだ信号の値により、プロセッサ10への割り込み先を変えることにより、同期して確定した入力パターンにより割り込み先の制御を選択できると共に、プログラムによる割り込

み発生原因特定作業を行うことなく容易に所定の制御に移行することができ、プログラムの高速化を容易に実現することができる。

【 0 0 5 1 】

尚、実施の形態 1 ～ 4 における、プロセッサ 1 0、バス 1 1、P I O 2 0、比較器 3 0 等を 1 つのパッケージの中に収納し、プログラマブルロジック装置の小型化を図ることも可能である。

【 0 0 5 2 】

【発明の効果】

請求項 1 記載の発明によれば、制御用プロセッサが高速クロックにより複数の処理を実行している間に、基準クロックの 1 サイクル内に、入力手段が基準クロックに同期して取り込んだ信号の値により制御を決定し、該制御により出力手段の値を変更することができる。このため、基準クロックに同期した論理を確定させることができる。すなわち、基準クロックに同期して動作する制御用プロセッサに接続された論理構成との情報のやりとりを正しく行うことができる。

【 0 0 5 3 】

請求項 3 記載の発明によれば、基準クロックに同期して出力手段の値を変更することができることから、基準クロックに同期して動作する制御用プロセッサに接続された論理構成との情報のやりとりをより確実に行うことができる。

【 0 0 5 4 】

請求項 4 記載の発明によれば、制御用プロセッサが基準クロックに同期するための遅延機能を有し、基準クロックの遷移を待って次の制御を行うように構成することにより、基準クロックに同期した制御ができる。

【 0 0 5 5 】

請求項 5 記載の発明によれば、入力手段が基準クロックに同期して取り込んだ信号の値により、制御用プロセッサの制御内容を決定する。このため、基準クロックに同期して制御の分岐が可能である。

【 0 0 5 6 】

請求項 7 記載の発明によれば、入力手段が基準クロックに同期して取り込んだ信号の値が所定の値になるまで待って、該所定の値により定めた制御を行うこと

により、基準クロックに同期して該所定の値により定めた制御を行うことができる。

【0057】

請求項8記載の発明によれば、基準クロックのサイクル数が待ち状態以降所定個数以上に達したことにより待ち状態を解除することにより、入力手段が基準クロックに同期して取り込んだ信号の値がいつまで経っても所定の値に一致しない場合であっても、制御用プロセッサが次の制御に移行でき、高速でエラー対処が可能である。

【0058】

請求項9記載の発明によれば、制御用プロセッサが自らの制御で待ち状態を解除することにより、入力手段が基準クロックに同期して取り込んだ信号の値がいつまで経っても所定の値に一致しない場合であっても、制御用プロセッサが次の制御に移行でき、高速でエラー対処が可能である。

【0059】

請求項10記載の発明によれば、入力手段が取り込んだ信号の値が所定の値になったことにより待ち状態を解除することにより、入力手段が基準クロックに同期して取り込んだ信号の値がいつまで経っても所定の値に一致しない場合であっても、制御用プロセッサが次の制御に移行でき、高速でエラー対処が可能である。

【0060】

請求項11記載の発明によれば、入力手段が基準クロックに同期して取り込んだ信号の値により、制御用プロセッサに対し、基準クロックに同期した割り込みを発生する。このため、基準クロックに同期した割り込みのタイミングを用いて、基準クロックに同期した論理構成との情報のやりとりを正しく行うことができる。

【0061】

請求項13記載の発明によれば、入力手段が基準クロックに同期して取り込んだ信号の値により、制御用プロセッサへの割り込み先を変えることにより、同期して確定した入力パターンにより割り込み先の制御を選択できると共に、プログ

ラムによる割り込み発生原因特定作業を行うことなく容易に所定の制御に移行することができ、プログラムの高速化を容易に実現することができる。

【図面の簡単な説明】

【図 1】

本発明に係わるプログラマブルロジック装置の第 1 の実施の形態を示す構成図である。

【図 2】

同クロック図である。

【図 3】

同要部フローチャートである。

【図 4】

同タイミング図である。

【図 5】

同第 1 の実施の形態の別の例を示す要部フローチャートである。

【図 6】

同第 1 の実施の形態の別の例を示すタイミング図である。

【図 7】

本発明に係わるプログラマブルロジック装置の第 2 の実施の形態を示す要部フローチャートである。

【図 8】

本発明に係わるプログラマブルロジック装置の第 3 の実施の形態を示す構成図である。

【図 9】

同要部フローチャートである。

【図 1 0】

本発明に係わるプログラマブルロジック装置の第 4 の実施の形態を示す構成図である。

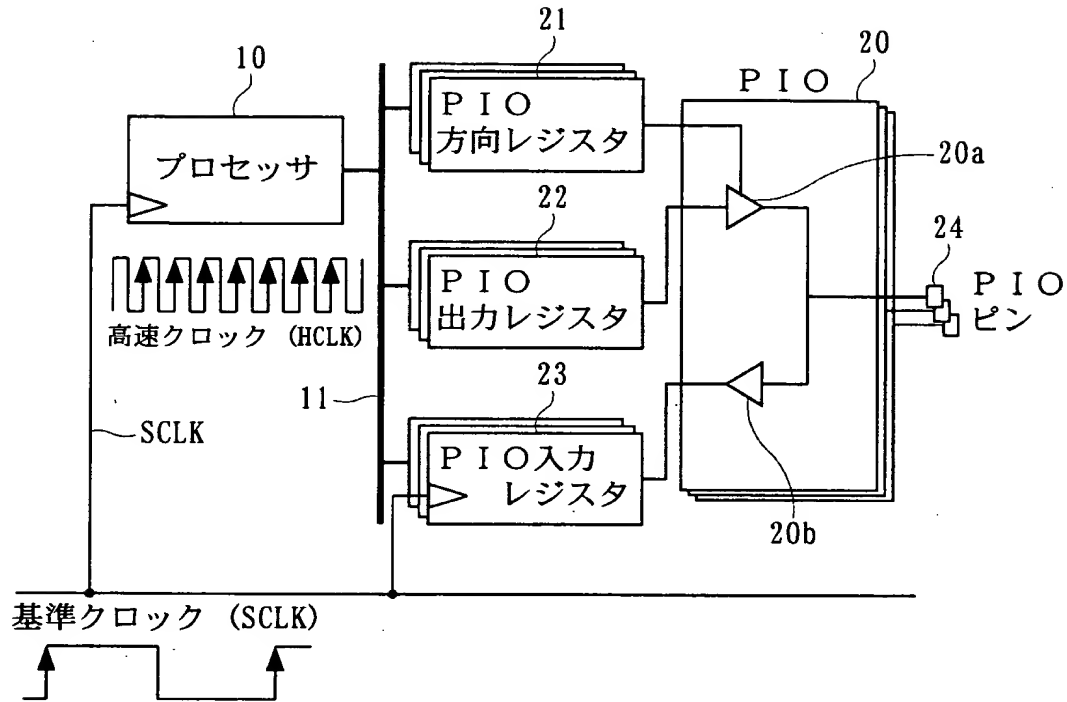
【符号の説明】

1 0 プロセッサ

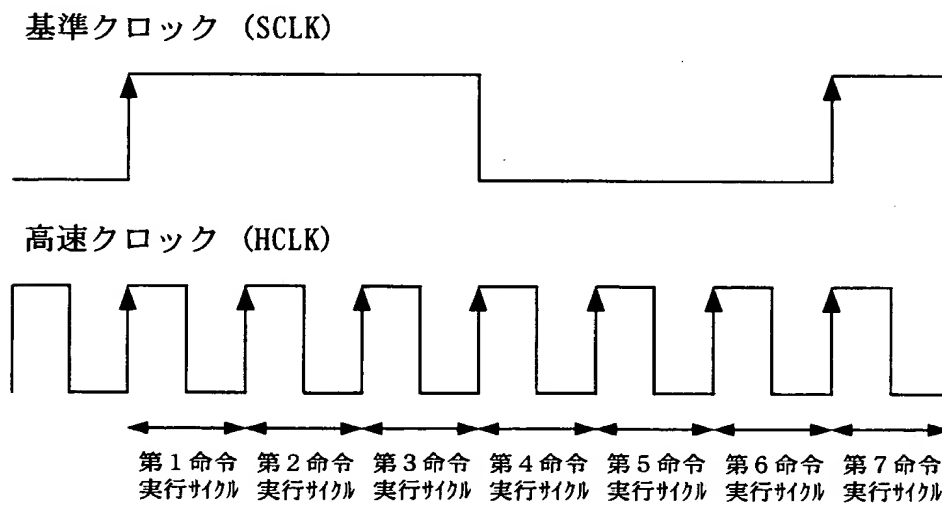
20 P I O
21 P I O 方向レジスタ
22 P I O 出力レジスタ
23 P I O 入力レジスタ
24 P I O ピン
30 比較器
31 条件選択レジスタ
32 比較レジスタ
33 同期条件フラグ
35 条件割込先テーブル
SCLK 基準クロック
HCLK 高速クロック
COMMAND 命令
INPUT P I O 入力
OUTUT P I O 出力

【書類名】 図面

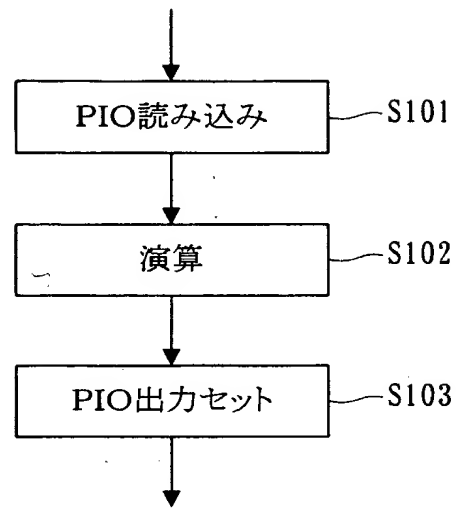
【図 1】



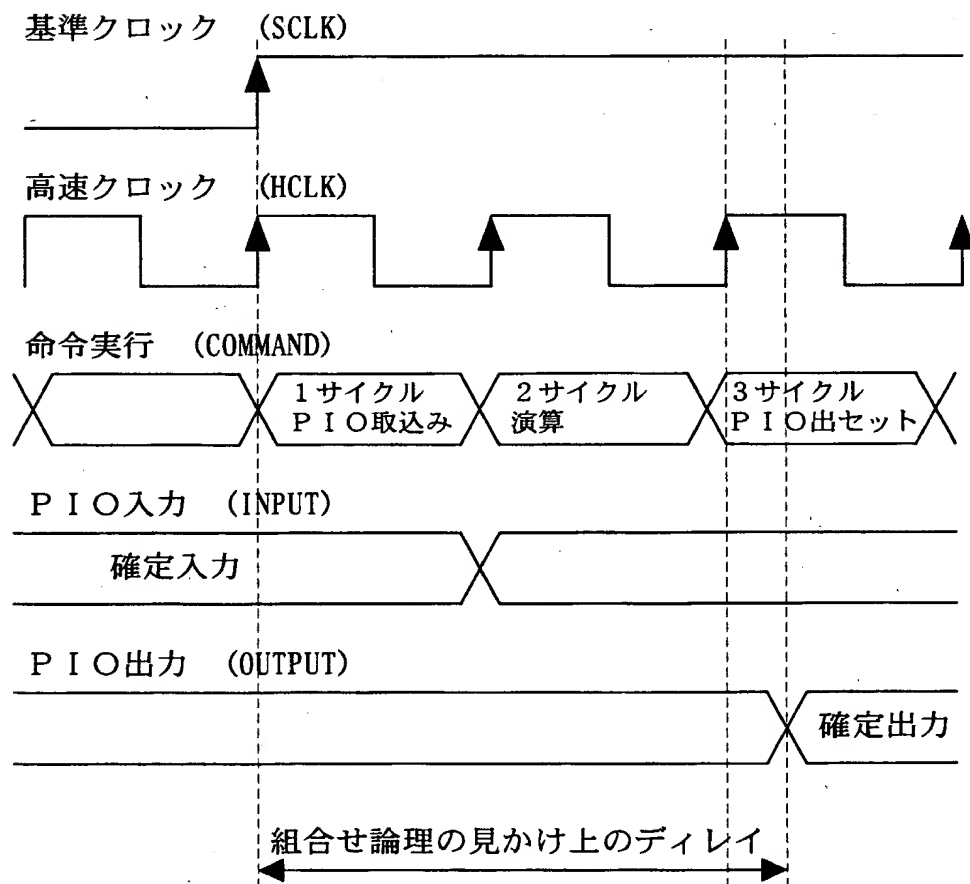
【図 2】



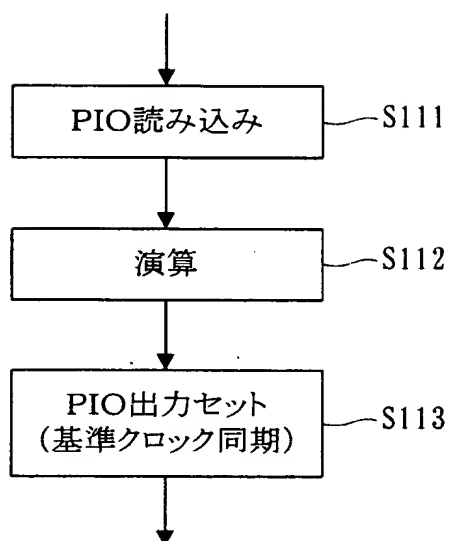
【図3】



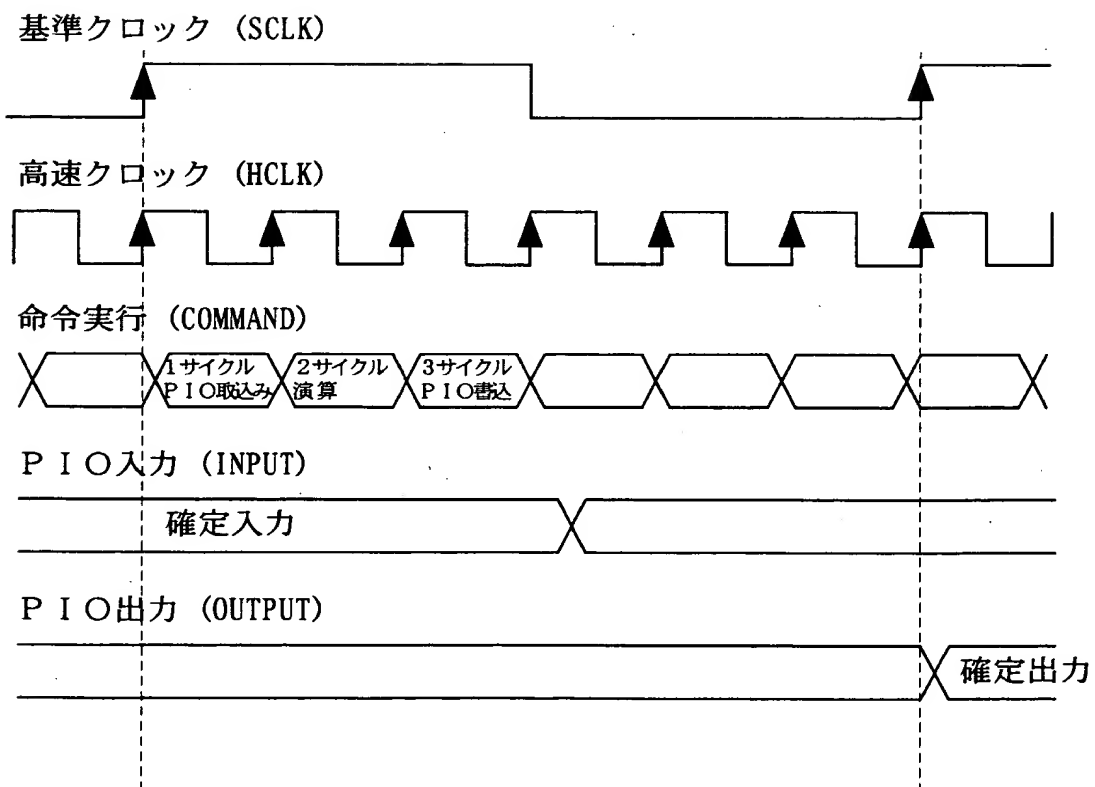
【図4】



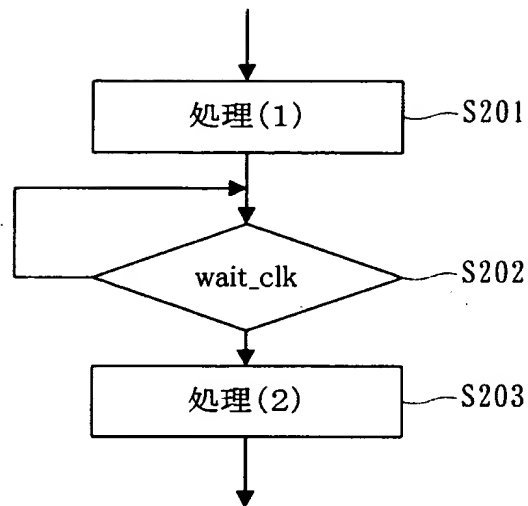
【図 5】



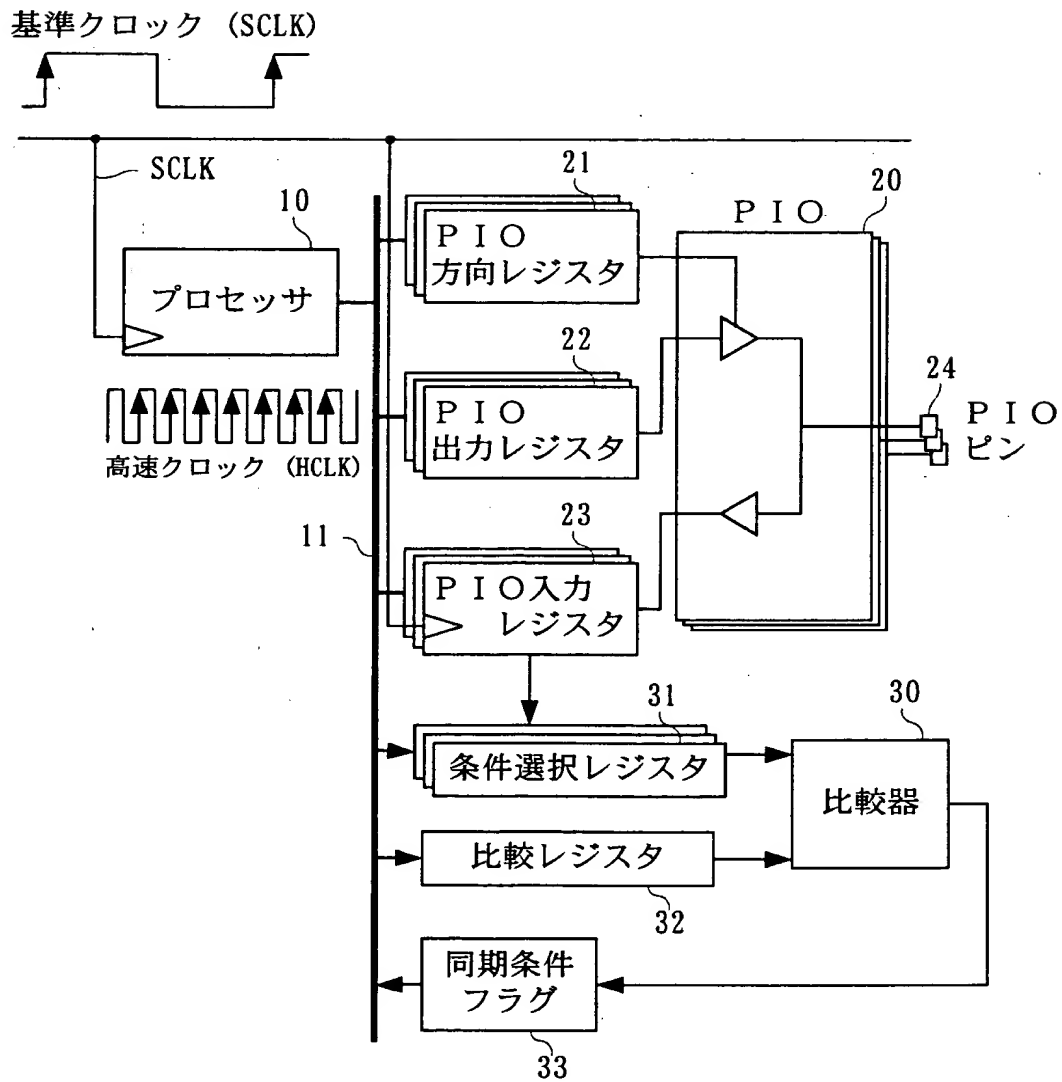
【図 6】



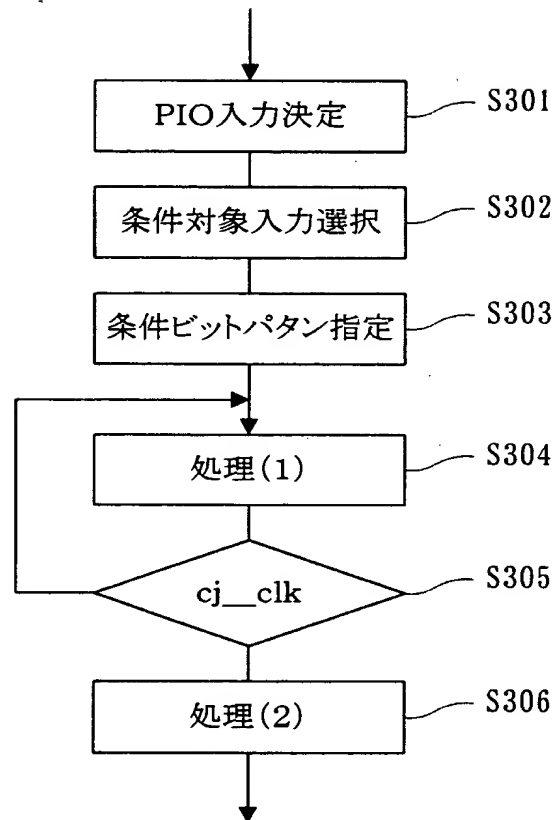
【図 7】



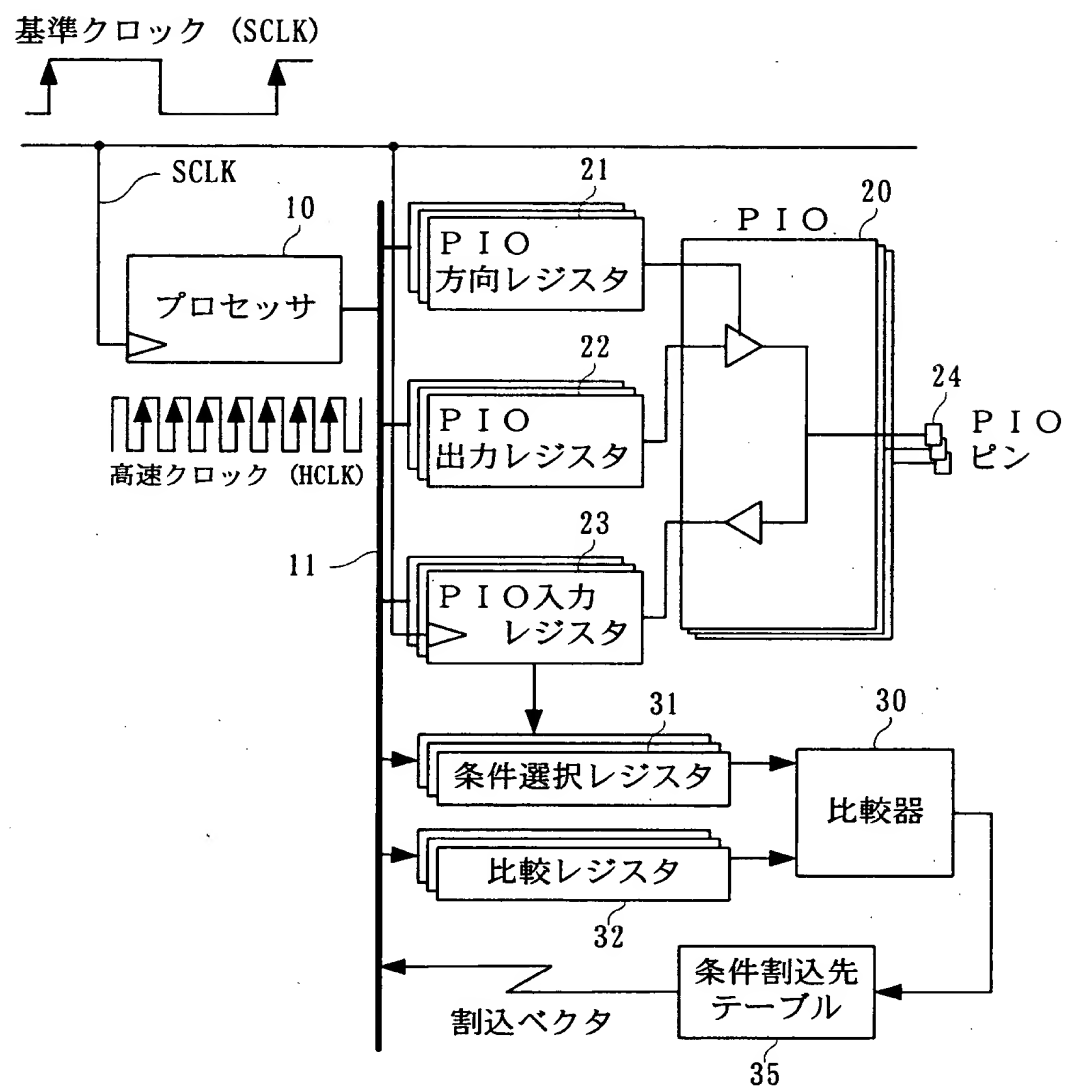
【図 8】



【図 9】



【図10】



【書類名】 要約書

【要約】

【課題】

基準クロックに同期して動作する制御用プロセッサに接続された論理構成との情報のやりとりを正しく行うことができるプログラマブルロジック装置を提供することにある。

【解決手段】

基準クロックを分周した高速クロックにより動作する制御用プロセッサと、制御用プロセッサに信号情報を入力するための入力手段と、制御用プロセッサの信号情報を信号として出力するための出力手段とを備え、制御用プロセッサが高速クロックにより複数の処理を実行している間に、基準クロックの1サイクル内に、入力手段が基準クロックに同期して取り込んだ信号の値により制御を決定し、制御により出力手段の値を変更することを特徴とする。

【選択図】 図 1

特2000-191025

出 願 人 履 歴 情 報

識別番号 [598018409]

1. 変更年月日 1998年 2月10日
[変更理由] 新規登録
住 所 静岡県浜松市鴨江3丁目46番11号
氏 名 株式会社日本コンピュータ